

SEMICONDUCTOR SUBSTRATE, DEVICE AND ITS MANUFACTURING METHOD

Patent Number: JP5021763
Publication date: 1993-01-29
Inventor(s): HORIUCHI KATSUTADA
Applicant(s): HITACHI LTD
Requested Patent: ☒ JP5021763
Application Number: JP19910170137 19910710
Priority Number(s):
IPC Classification: H01L27/12 ; H01L21/76
EC Classification:
Equivalents:

Abstract

PURPOSE: To diminish resistance in heat radiation, by forming an insulating layer thinly in an SOI structure, and by using a supporting substrate made of a material having thermal conductivity larger than that of an Si substrate.

CONSTITUTION: A silicon oxide film is formed on the surface of an Si substrate 1 in a thermal oxidation step. On the other hand, a silicon film 4 is deposited on an aluminum nitride substrate 3, and the residual strain is attenuated in thermal treatment, and moreover the main face is abraded with a wafer lapping apparatus. In a dust-free condition, the abraded face of the aluminum nitride substrate 3 is directly bonded to the silicon oxide film of the Si substrate 1, and then the substrate is ground and abraded from the Si-substrate side. According to the measurement in heat radiation, the temperature of a semiconductor substrate prepared in this way rises only by 3 deg.C, and the result of effective heat radiation can be obtained.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-21763

(43) 公開日 平成5年(1993)1月29日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12		8728-4M		
21/76	D	9169-4M		

審査請求 未請求 請求項の数6(全7頁)

(21) 出願番号 特願平3-170137

(22) 出願日 平成3年(1991)7月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 堀内 勝忠

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 中村 純之助 (外1名)

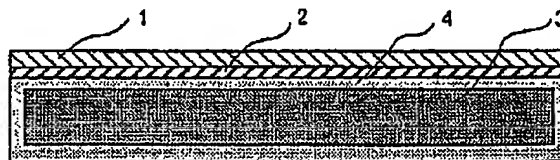
(54) 【発明の名称】 半導体基板及び半導体装置とその製造方法

(57) 【要約】

【目的】 放熱特性に優れ、動作時の発熱に起因する配線抵抗の増大や信頼性の低下を防ぎ、半導体装置の大電流動作化、高速化、高集積化を可能にする構成の半導体基板及び半導体装置とその製造方法を提供すること。

【構成】 上記目的は、第1の基板と、該基板の少なくとも主表面を被覆するように設けた第1の薄膜と、該薄膜上に設けた第1の絶縁膜と、該絶縁膜上に設けた単結晶半導体層とから構成される半導体基板において、上記第1の基板の熱伝導率を上記単結晶半導体層の熱伝導率よりも大とした半導体基板とすることによって達成することができた。本発明に基づく半導体装置においては、寄生容量の増加なしに高信頼度の SOI 構造を提供することができ、 α 線照射による誤動作、ラッチアップ現象と呼ばれる隣接素子間干渉等を完全に防止することができる。

(図1)



1

【特許請求の範囲】

【請求項1】第1の基板と、該基板の少なくとも主表面を被覆するように設けた第1の薄膜と、該薄膜上に設けた第1の絶縁膜と、該絶縁膜上に設けた単結晶半導体層とから構成される半導体基板において、上記第1の基板の熱伝導率を上記単結晶半導体層の熱伝導率よりも大としたことを特徴とする半導体基板。

【請求項2】上記第1の基板が窒化アルミニウム、炭化珪素、酸化ベリリウムの何れかから構成されていることを特徴とする請求項1記載の半導体基板。

【請求項3】上記単結晶半導体層が第2の絶縁膜により互いに分離されてなる単結晶半導体層であることを特徴とする請求項1及び2記載の半導体基板。

【請求項4】上記単結晶半導体層と上記第1の絶縁膜との間、または、上記第1の絶縁膜中に、少なくとも半導体膜、高融点金属膜あるいは高融点金属珪化膜の何れかで構成される配線層を具備していることを特徴とする請求項3記載の半導体基板。

【請求項5】請求項3または4に記載の半導体基板の単結晶半導体層上に構成されていることを特徴とする半導体装置。

【請求項6】半導体装置を形成した半導体基板を裏面から研磨して薄層化する工程と、上記半導体基板よりも熱伝導率が大である支持基板と上記半導体基板とを少なくとも接着層を介して貼りあわせる工程とからなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基板及び半導体装置とその製造方法に係り、特に、放熱特性に優れ、動作時の発熱に起因する配線抵抗の増大や信頼性の低下を防ぎ、半導体装置の大電流動作化、高速化、高集積化を可能にする構成の半導体基板及び半導体装置とその製造方法に関する。

【0002】

【従来の技術】半導体装置を構成すべき半導体層の底部に絶縁膜を設けた構造はいわゆる SOI (Silicon on Insulator) として公知であり、その製造方法についても固相成長法または液相成長法、酸素イオン注入法およびウエーハ貼り合わせ法などが知られている (例えば、昭和61年度精密工学会秋季大会学術講演会論文集 219「Siウエーハの研磨技術」、Proceedings of 4th International Symposium on Silicon-on-Insulator Technology and Devices, May 6-11, 1990, Montreal 所載の "SILICON WAFER-BONDING PROCESS TECHNOLOGY FOR SOI STRUCTURES" など)。SOI 層の無欠陥性の観点からはウエーハ貼り合わせ法が最も実用的であり、図2に示したような構成及び製造手順からなっている。すなわち、a) まず、平坦な主表面に酸化膜2を有する第1のシリコン(Si)基板1と、同じく平坦な主表面を有する第2の Si 基板5と

2

を準備し、b) 次いで、これらを、無塵状態で、接着剤等を用いることなく、主表面同士で直接結合させ、結合強度を強化するための熱処理を施し、c) 最後に、Si 基板1の裏面を研削と鏡面研磨とにより薄化することによって内部にシリコン酸化膜2を有する半導体基板1が得られる。このような製造手順によって得られる SOI 構造は、半導体装置を構成すべき半導体層1が完全結晶である点に最大の特徴がある。また、SOI構造の特徴として、絶縁性の膜2の上に半導体装置が構成されるため、集積回路を構成する各半導体装置間が、底部の半導体基板を介する経路を含めて、絶縁膜で完全に素子分離を行い得る点を挙げることができる。従って、 α 線照射に起因する誤動作、ラッチアップ現象と呼ばれる隣接素子間干渉等を完全に防止することができる。

【0003】

【発明が解決しようとする課題】しかしながら、SOI 構造の最大の問題点は、絶縁膜としてシリコン酸化膜を用いていることにある。すなわち、シリコン酸化膜の熱伝導率が小さく、単結晶Siと比較して2桁も小さいために、超高速、超高集積半導体集積回路等、発熱の著しい半導体装置への SOI 構造の適用は信頼性等の点で問題が生じる恐れがある。しかし、シリコン酸化膜は半導体プロセス材料として最も優れたものであり、現時点でこれに代る高熱伝導かつ高品質の材料は見出されていない。この問題に対応するために、シリコン酸化膜2の膜厚を薄く構成して放熱抵抗を低減する手法も考えられるが、この場合、半導体層1と半導体基板5との間の静電容量が増加して、超高速半導体装置の高速動作を阻害するという欠点が生じる。

【0004】本発明の目的は、上記従来技術の有していた課題を解決して、放熱特性に優れ、動作時の発熱に起因する配線抵抗の増大や信頼性の低下を防ぎ、半導体装置の大電流動作化、高速化、高集積化を可能にする構成の半導体基板及び半導体装置とその製造方法を提供することにある。

【0005】

【課題を解決するための手段】上記目的は、第1の基板と、該基板の少なくとも主表面を被覆するように設けた第1の薄膜と、該薄膜上に設けた第1の絶縁膜と、該絶縁膜上に設けた単結晶半導体層とから構成される半導体基板において、上記第1の基板の熱伝導率を上記単結晶半導体層の熱伝導率よりも大とした半導体基板とすることによって達成することができる。

【0006】本発明の基本的な考え方は、半導体プロセス材料として必須のシリコン酸化膜を SOI 構成用の絶縁膜として用いるが、放熱抵抗を低減するようにシリコン酸化膜の膜厚を薄く構成し、かつ、静電容量も低減する方法を導入し、さらに、単結晶 Si による半導体基板の代りに熱伝導率の大きな材料を支持基板として用いることによって、従来の SOI 型半導体基板のみならず、

通常の単結晶基板よりも放熱効果に優れた半導体基板を実現するという点にある。

【0007】なお、上記の熱伝導率の大きな支持基板材料としては、窒化アルミニウム、炭化珪素、酸化ベリリウム等を挙げることができる。これらの材料の半導体製造工程適合化については、それらの材料を用いた基板の表面を薄いシリコン膜で覆った後、保護安定化しておけば良い。

【0008】

【作用】SOIを構成する絶縁膜の薄膜化と、Si基板よりも熱伝導率の大きな材料からなる支持基板とを採用することによって放熱抵抗を大幅に低減することができるため、バイポーラトランジスタのように発熱の激しい超高速半導体装置においても、超高集積化が可能となる。また、発熱による配線抵抗の増大も避けることができ、さらに超高速の動作の追及が可能となる。また、絶縁膜を薄膜化した場合に従来構造で問題となっていた空乏化による寄生容量の発生は、絶縁性支持基板の採用によって根本的に解消される。本発明構成の場合、絶縁膜は単にウエハ貼り合わせ面を構成するために必要であるに過ぎない。なお、絶縁性支持基板を採用する際、耐酸化特性でSiよりも劣る基板材料の場合には、予めシリコン薄膜あるいはシリコン窒化膜等で被覆しておくことによって、半導体製造工程で必須の高温酸化工程も不活性雰囲気中における熱処理工程と等価となる。シリコン窒化膜による被覆は、支持基板に含有される可能性のある有害不純物がSOI層即ち半導体装置に拡散するのを阻止する作用がある。

【0009】

【実施例】以下、本発明の内容について、実施例によってさらに詳細に説明する。説明の都合上、図面を用いて説明するが、図面では要部を拡大して示してあるので注意を要する。また、説明を簡単にするために、実施例中では各部の材質、半導体層の導電型、製造条件等を具体的に例示して説明するが、本発明はこれらの例示内容に限定されるものではない。

【0010】

【実施例1】図1及び図3は本発明半導体基板の一実施例の構成及び製造工程を示した断面図である。まず、面方位(100)、抵抗率 $10\Omega\text{cm}$ 、p導電型、厚さ $525\mu\text{m}$ の直径4インチの単結晶Si基板1の表面に公知の熱酸化法により 50nm 厚さのシリコン酸化膜を形成した。一方、厚さ $525\mu\text{m}$ で直径4インチの窒化アルミニウム(AIN)基板3にモノシラン(SiH_4)の 620°C における化学気相反応を施してシリコン膜4を $5\mu\text{m}$ の厚さで堆積した後、 1000°C 2時間の条件で熱処理を行い残留歪を緩和し、さらに、公知のウエハ研磨装置に設置して平均二乗表面粗さ 0.5nm 以下となるように主表面の研磨を行った。(なお、上記熱処理後のシリコン膜4は粒径 50nm 程度の多結晶膜であった)。続いて、上記研磨面と前記単結晶Si基板の

シリコン酸化膜との直接貼り合わせを無塵状態でを行い、さらに、接着性を強化するための熱処理を 1000°C 2時間の条件で行った後、公知の研削法及び機械的・化学的研磨法によって、Si基板1側から該基板の厚さが $1\mu\text{m}$ となるように制御して研削・研磨を行った。この時、面内のSi厚さのパラツキは $\pm 0.5\mu\text{m}$ の範囲にあった。

【0011】上記により作成した半導体基板について、放熱効果を検討するために、Si基板1上に公知の半導体製造方法により抵抗素子を形成し、通電による温度上昇を赤外線顕微鏡により測定した。測定は水冷した試料台に該基板を載置、真空吸引した状態でを行い、なお、比較のために、厚さ $1\mu\text{m}$ のシリコン酸化膜を内部に有する通常のSOI基板上に抵抗素子を形成した試料についても測定を行った。その結果、 70mW の消費電力で、上記比較試料については温度上昇が 27°C に達するのに対し、本実施例試料の場合には僅か 3°C の温度上昇に止まり、優れた放熱効果を示すことが知られた。

【0012】

【実施例2】実施例1における窒化アルミニウム(AIN)基板3の代りに炭化珪素(SiC)基板を用い、実施例1の場合と同様にして半導体基板を作成した。

【0013】該半導体基板について実施例1の場合と同様条件で抵抗素子の温度上昇を測定した結果、温度上昇は 10°C 以下であり、従来のSOI基板に比べて優れた放熱特性を示す結果が得られた。なお、炭化珪素基板の代りに熱伝導率の同等な酸化ベリリウム(ベリリア; BeO)を用いた場合にも同様の結果が得られた。

【0014】

【実施例3】図4は本発明の他の実施例の製造手順を示す断面図で、本実施例は、単結晶Si基板1上に熱酸化膜を形成する前に、該基板上に所望半導体装置の構成に合わせたパターニングを施した場合の例を示す。この場合、a) まず、パターニング深さを $0.2\mu\text{m}$ とし、パターニングを施した後、熱酸化膜2及び21を $0.1\mu\text{m}$ 厚さで形成し、さらにジシラン(Si_2H_6)を用いた化学気相反応を温度 525°C で施して、熱酸化膜21上に $2\mu\text{m}$ 厚さの非晶質Si膜6を堆積させてから 800°C の熱処理を施した。この状態で、非晶質Si膜6の表面粗さは極めて良好な平坦性を示していた。次いで、該表面を機械的研磨により平均二乗粗さで 0.5nm 以下となるようにさらに平坦化し、続いて、 780°C の化学気相反応により該表面に 50nm 厚さのシリコン窒化膜7を堆積した。b) 続いて、上記で得られた基板を、別途準備しておいたシリコン膜4で被覆された窒化アルミニウム支持基板3と直接貼り合わせ、さらに接着強化熱処理を施した。c) さらに、実施例1の場合と同様、研削と機械的・化学的研磨によりSi基板1の薄化を行ったが、機械的・化学的研磨方法として熱酸化膜の研磨速度がシリコンのそれに比べて桁違いに遅い公知の選択研磨法を用いて、熱酸化膜21が露出した段階で研磨を停止させ、選択的にSi基板の島1を残置さ

せた。

【0015】上記手順の製造方法を適用することによって、図4c)に示したように、相互に酸化膜21で絶縁分離された極薄(0.15 μ m)の単結晶 Si 基板1を所望個所に予め配置して構成された半導体基板を得ることができた。なお、単結晶 Si 基板の島1の厚さはパターニング深さ及び熱酸化膜の膜厚を所定値に設定することによって制御することができる。なお、上記により得られた単結晶 Si 基板の島1に形成した抵抗素子により発熱試験を行ったが、10℃以下の温度上昇しか示さず、従来 SOI 構造の場合に比較して格段に優れた放熱特性を示した。

【0016】

【実施例4】図5は本発明のさらに他の実施例の製造手順を示す断面図で、実施例3の場合には単結晶 Si 基板1に所望半導体装置の構成に合わせたパターニングを施し、全面に熱酸化膜21を形成したが、本実施例では、所望半導体装置の構成に合わせて選択的に酸化膜21を形成して素子間分離絶縁膜とした場合の例を示す。酸化膜21の形成については、MOS トランジスタ領域の単結晶 Si 基板1を予め所望深さ選択的にエッチングしておき、その後選択的に酸化膜21を形成しても良い。

【0017】a) まず、選択的に酸化膜21を形成した後、選択酸化に用いたシリコン窒化膜を除去し、次いで7nm厚さのシリコン熱酸化膜を形成し、第1のゲート酸化膜22とした。次に、パイポーラトランジスタ領域の該ゲート酸化膜22を選択的に除去し、Si 基板1の表面を部分的に露出させ、砒素を高濃度に添加した150nm厚の多結晶シリコン膜8と200nm厚のタングステン珪化膜9を全面に堆積させた。次いで、上記多結晶シリコン膜8とタングステン珪化膜9とからなる二層膜を選択的に残置し、所望回路構成に従った電極配線を形成してから全面に化学気相反応による酸化膜を堆積し、表面安定化膜10とした。さらに、化学気相反応による Si 膜6の堆積と熱処理及び平坦化研磨を施してからシリコン窒化膜7を堆積した。ここで、上記 Si 膜6の堆積膜厚さは5 μ mに設定した。

【0018】b) 次いで、実施例3の場合と同様にして別途準備しておいたシリコン膜4で被覆した窒化アルミニウム支持基板3と上記で得られた基板との貼り合わせを行い、さらに、接着強化熱処理、薄化を行った。なお、機械的・化学的研磨法としては、前記実施例3の場合と同様に選択研磨法を用い、熱酸化膜21の面が露出した段階で研磨を停止させ、選択的に Si 基板の島1を残置させた。

【0019】本実施例構成の半導体基板においては、酸化膜21で相互に絶縁分離された極薄(0.15 μ m)の単結晶 Si 基板1を予め所望個所に配置して構成された半導体基板と該半導体基板の下部に高融点金属珪化膜による埋め込み配線を構成することができた。なお、本実施例に

おいては、埋め込み配線として高融点金属珪化膜9と多結晶シリコン膜8とからなる二層膜を用いた例について示したが、埋め込み配線と半導体基板とが直接接続されない限り、高融点金属またはその珪化膜であっても良い。

【0020】なお、本実施例の半導体基板についても、単結晶 Si 基板の島1に構成した抵抗素子による発熱試験を行ったが、10℃以下の昇温しか示さず、従来 SOI 構造よりも格段に優れた放熱特性を示した。

【0021】

【実施例5】実施例3によって得られた半導体基板(図4c))のSi 基板1の領域に公知のMOS トランジスタ製造工程を用いて MOS トランジスタを形成した。なお、本実施例の場合、Si 基板1の厚さは80nmとなるように設定した。

【0022】本実施例のトランジスタにおいては、Si 基板の厚さが空乏層の厚さ以下となるために、ドレイン強電界のゲート電界に及ぼす影響いわゆる二次元効果が実効的に緩和され、短チャンネル効果の改善及び大電流化が実現できた。さらに、発熱も、従来 SOI 構造トランジスタの場合に比べて格段に低減された。

【0023】

【実施例6】図6は本発明半導体装置の一実施例の構成を示した断面図である。本実施例の場合、前記実施例4で得られた半導体基板を用い、図5において埋め込み配線の多結晶シリコン膜に添加した砒素を貼り合わせ工程後の熱処理工程によって Si 基板1底面の接続領域から拡散させ、N 型高濃度領域19を形成した。次に、領域19を形成した Si 基板1領域に公知のパイポーラトランジスタ製造方法によってベース拡散層20、N 型高濃度エミッタ拡散層23、多結晶シリコン膜16とタングステン珪化膜17の重ね膜で構成されるベース取り出し電極、配線層間絶縁膜18、エミッタ電極23等を形成した。ここで、Si 基板1領域と直接接続された埋込配線8及び9はコレクタ引出し電極として働く。さらに、埋込配線と直接接続されていない Si 基板1領域について公知の MOS トランジスタ製造方法によってソース拡散層14、ドレイン拡散層15、ゲート絶縁膜11、多結晶シリコン膜12とタングステン珪化膜17の重ね膜で構成されるゲート電極、ソース電極25等を形成して、パイポーラトランジスタと MOS トランジスタとが混在する半導体装置を作成した。

【0024】上記により製造した半導体装置においては、コレクタ引出し電極を半導体層の底面に形成できるため、トランジスタ占有面積を従来構造に比べ約 2/3以下に低減させることができた。また、MOS トランジスタにおいても、埋込電極を第二のゲート電極として使用できるため、Si 基板1全体を電流経路として制御することができ、従来構造に比べて駆動可能電流を5倍以上と大電流化することができた。さらに、本実施例半導体装置は、従来構成の SOI トランジスタと比較して放熱特

性に優れており、発熱を格段に低減することができた。

【0025】

【実施例7】図7に本発明半導体装置の他の実施例を示す。この場合、まず、a) 単結晶半導体基板に公知の手法により半導体装置を作成した通常の Si 基板1を、別途準備した研磨支持治具30にワックス31で接着し、裏面から研削と研磨により薄化した。ここで、研磨は実施例5に記載した選択研磨法を用い、素子間分離絶縁膜21の底面が露出した段階で研磨を終了し、Si 基板1の活性領域のみを選択的に残置させた。b) 続いて、上記 Si 基板1を、プラズマ雰囲気中の低温化学気相反応により研磨面に表面安定化絶縁膜を薄く堆積した後表面を平坦に研磨した500 μ m厚さの炭化珪素基板3に接着剤32を用いて接着し、次いで、100℃に加熱してワックスを研磨支持治具から剥離させ、さらに、ワックス溶剤による洗浄を行ってワックスを完全に除去して半導体装置を完成した。

【0026】本実施例における半導体装置は、上記実施例6の場合と異なり、高熱伝導率基板3との貼り合わせの前に、Si 基板1にすべての高温熱処理を含む半導体装置作成工程を施しているため、拡散層の不純物分布制御等について従来の製造条件をなんら変更する必要がなく、放熱特性に優れた SOI 構造の半導体装置の作成を簡便にかつ安価に実現することができた。

【0027】

【実施例8】図8に本発明の半導体装置を用いた計算機の構成図を示す。すなわち、本発明半導体装置を、命令や演算を処理するプロセッサ500を複数個並列に接続した高速大型計算機に適用した場合の例である。本発明を実施した高速半導体装置は放熱性に優れかつ高集積化が可能であるため、命令や演算を処理するプロセッサ500、記憶制御装置501、主記憶装置502などを、一辺が約10~30mmのチップ上に構成することができた。これらプロセッサ500と記憶制御装置501と、化合物半導体集積回路からなるデータ通信インタフェース503とを同一水冷基板506に実装した。また、データ通信インタフェース503とデータ通信制御装置504とを同一水冷基板507に実装した。これら水冷基板506並びに507と、主記憶装置502を実装した水冷基板とを大きさが一辺約50cm程度あるいはそれ以下の基板に実装して、大型計算機の中央処理ユニット508を形成した。この中央処理ユニット508内データ通信や、複数の中央処理ユニット間のデータ通信、あるいはデータ通信インタフェース503と入出力プロセッサ505を実装した基板509との間のデータ通信は、図中の両端矢印線で示した光ファイバ501を介して行われる。

【0028】この計算機では、命令や演算を処理するプロセッサ500や記憶制御装置501や主記憶装置502などの半導体装置が並列に高速で動作し、また、データの通信を光を媒体として行うこととしたため、1秒間当りの命

令処理回数を大幅に増加することができた。

【0029】

【発明の効果】以上述べてきたように、半導体基板及び半導体装置とその製造方法を本発明構成の内容とすることによって、従来技術の有していた課題を解決して、放熱特性に優れ、動作時の発熱に起因する配線抵抗の増大や信頼性の低下を防ぎ、半導体装置の大電流動作化、高速化、高集積化を可能にする構成の半導体基板及び半導体装置とその製造方法を提供することができた。また、本発明に基づく半導体装置においては、寄生容量の増加なしに高信頼度の SOI 構造を提供することができ、 α 線照射による誤動作、ラッチアップ現象と呼ばれる隣接素子間干渉等を完全に防止できる効果がある。

【図面の簡単な説明】

【図1】本発明半導体基板の一実施例の構成を示す断面図。

【図2】従来の半導体基板の構成を示す断面図。

【図3】本発明の実施例1の半導体基板の製造工程を示す断面図。

【図4】本発明の実施例3の半導体基板の製造工程を示す断面図。

【図5】本発明の実施例4の半導体基板の製造工程を示す断面図。

【図6】本発明の実施例6の半導体装置の製造工程を示す断面図。

【図7】本発明の実施例7の半導体装置の製造工程を示す断面図。

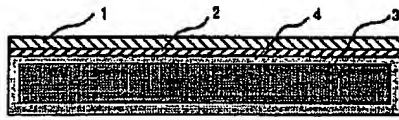
【図8】本発明の半導体装置を用いた実施例8の計算機構成を示す構成図。

【符号の説明】

1…単結晶 Si 基板、2… SOI 構造を構成する第1の絶縁膜、3…半導体基板よりも熱伝導率の大きな支持基板、4…支持基板を保護する第1の薄膜、5…Si 支持基板、6…Si 膜、7…シリコン窒化膜、8…配線を構成する埋込多結晶 Si 膜、9…配線を構成する埋込金属珪化膜、10…配線保護絶縁膜、11…ゲート絶縁膜、12…配線を構成する多結晶 Si 膜、13…配線を構成する金属珪化膜、14…ソース拡散層、15…ドレイン拡散層、16…配線を構成する多結晶 Si 膜、17…配線を構成する金属珪化膜、18…配線保護絶縁膜、19…コレクタ拡散層、20…ベース拡散層、21…熱酸化膜、22…ゲート酸化膜、23…エミッタ拡散層、24…エミッタ電極、25…ソース電極、26…引出電極、30…研磨支持治具、31…ワックス、32…接着剤、500…命令や演算を処理するプロセッサ、501…記憶制御装置、502…主記憶装置、503…データ通信インタフェース、504…データ通信制御装置、505…入出力プロセッサ、506、507…セラミック基板、508…中央処理ユニット、509…入出力プロセッサ実装基板、510…データ通信用光ファイバ。

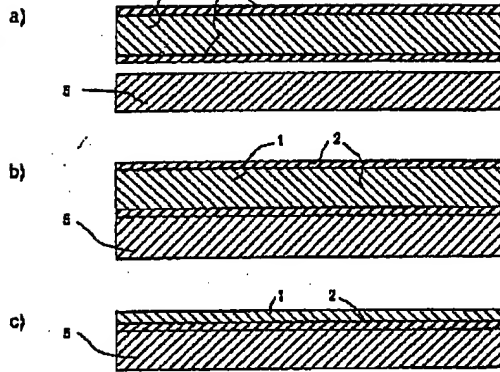
【図1】

(a)



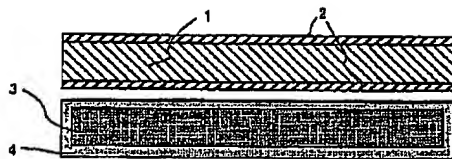
【図2】

(a)



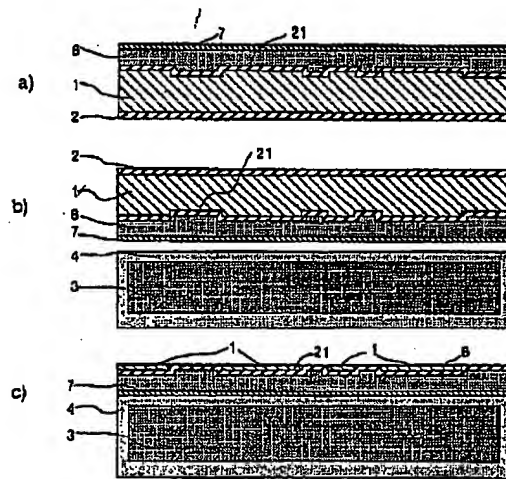
【図3】

(a)



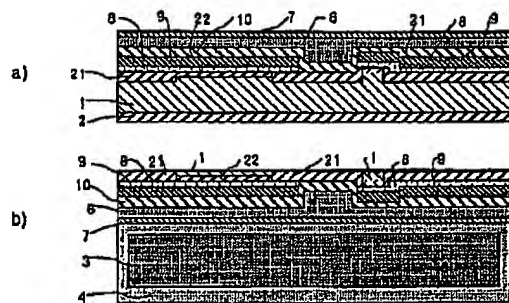
【図4】

(a)



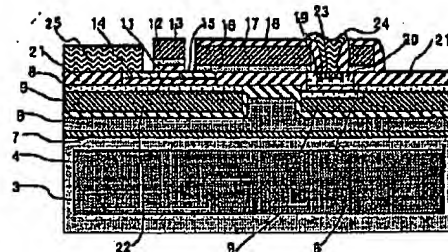
【図5】

(a)

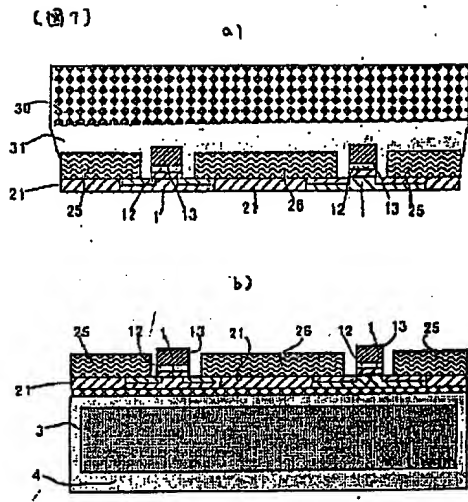


【図6】

(a)



【図7】



【図8】

